

## IC SUBSTRATE FOR ACTIVE MATRIX DISPLAY BODY

Publication number: JP60002989

Publication date: 1985-01-09

Inventor: MURATA MASAMI; WADA KENJI

Applicant: SUWA SEIKOSHA KK

Classification:

- International: *G02F1/1333; G01R31/00; G02F1/133; G09F9/35; G09G3/36; G01R31/00; G02F1/13; G09F9/35; G09G3/36; (IPC1-7): G09G3/36; G02F1/133; G09F9/35*

- European:

Application number: JP19830110514 19830620

Priority number(s): JP19830110514 19830620

[Report a data error here](#)

Abstract not available for JP60002989

---

Data supplied from the **esp@cenet** database - Worldwide

**Family list**

2 family member for: **JP60002989**  
Derived from 1 application

[Back to JP60002989](#)

**1 IC SUBSTRATE FOR ACTIVE MATRIX DISPLAY BODY**

**Inventor:** MURATA MASAMI; WADA KENJI

**Applicant:** SUWA SEIKOSHA KK

**EC:**

**IPC:** *G02F1/1333; G01R31/00; G02F1/133* (+9)

**Publication info:** **JP1833132C** C - 1994-03-29

**JP60002989 A** - 1985-01-09

---

Data supplied from the **esp@cenet** database - Worldwide

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭60-2989

⑫ Int. Cl. <sup>4</sup>	識別記号	府内整理番号	⑬ 公開 昭和60年(1985)1月9日
G 09 G 3/36		7436-5C	
G 02 F 1/133	1 1 8	7348-2H	発明の数 1
	1 2 9	7348-2H	審査請求 未請求
G 09 F 9/35		6615-5C	

(全 6 頁)

⑭ アクティブマトリックス表示体用 I C 基板

⑮ 発明者 和田健嗣

諏訪市大和3丁目3番5号株式

会社諏訪精工舎内

⑯ 特願 昭58-110514

⑰ 出願 昭58(1983)6月20日

⑱ 発明者 村田雅巳

東京都中央区銀座4丁目3番4

号

諏訪市大和3丁目3番5号株式

会社諏訪精工舎内

⑲ 代理人 弁理士 最上務

,

明細書

発明の名称

アクティブマトリックス表示体用 I O 基板

特許請求の範囲

1) 複数本のデータ線と複数本のゲート線をマトリックス状に形成し、各交点に TFT を搭載した複数の駆動回路を設けた面積部と前記データ線又はゲート線を駆動するための X, Y 周辺駆動回路部から構成されるアクティブマトリックス表示体用 I O 基板において、X, Y 周辺駆動回路のうち少なくとも一方は、1 系統しか設けず、かつ、該 1 系統の周辺回路と反対の邊にゲートに複数の共通ラインが入力したトランジスタ群を配置したことを特徴とするアクティブマトリックス表示体用 I O 基板。

発明の詳細な説明

本発明は周辺駆動回路を内蔵したアクティブマ

トリックス表示体用 I O 基板に関する。

従来アクティブマトリックス用 I O 基板は、表示部分のみで構成され、マトリックスの駆動部分は I O 基板とポンディング等により接続された外部の ROM-B-I O チップにより構成されていた。图 1 図はアクティブマトリックスの表示部分を示し表示部分 1 は (n × m) コのセル 2 が配列されている。各セルにはゲート線 G<sub>1</sub> とデータ線 D<sub>1</sub> が配線されており、この 2 つの信号線の交点となるセルを選択してデータ線 D<sub>1</sub> からデータを各セルに書き込む。各セルはトランジスタ T<sub>1</sub> とデータ保持用の電容器 C<sub>1</sub> から構成されて、駆動点 T<sub>1</sub> から液晶等の表示体を駆動する。例えばここにテレビの画面表示を行うとすると、テレビ用の映像信号が各タイミングに応じてデータ線から、その時の走査位置にあたるゲート線を選択することにより各セルに順次データを置いていく。このためには走査位置に合致したゲート線を選択する信号を各ゲート線 G<sub>1</sub> ～ G<sub>n</sub> に与え、又その走査位置におけるデータを、横方向へ走査し

て書き込むためにデータ線に送り込むための周辺回路が必要となる。

ところが、この周辺回路と、このアタティップマトリックス基板の接続は、 $\pm 10\text{V}$  電源が必要となり、実際は 400 ~ 800 本となりかなり大変でありコスト的にも高くつく。又周辺駆動回路自体も通常消費電力を低減する意味で  $0\text{M}0\text{B} - \text{I}\text{D}\text{I}$  が用いられるが、このために必要なチップ数が 10 ~ 20 で、やはり、アセンブルが大変でチップ自体のコストもかなり過ぎる。従ってこの周辺回路を  $\text{I}\text{O}$  基板に内蔵するが最もよいが下に挙げるような回路点がある。

(a) 外付の場合は  $0\text{M}0\text{B}$  技術が使えるが、一般にマトリックス  $\text{I}\text{O}$  基板は  $\pm 10\text{V}$ 、又は  $\pm 1\text{M}0\text{B}$  であり、普通に駆動回路を構成すると消費電力が大きすぎて使いものにならない。又  $\text{I}\text{O}$  基板を  $0\text{M}0\text{B}$  にすると、製造プロセスが複雑になりすぎる。

(b) 駆動回路外付の場合には、分割されているので歩留は問題ないが、内蔵すると歩留が 100

歩近くないと、駆動回路の一部の不良により、 $\text{I}\text{O}$  基板全体が不良となる。

このような問題点を解決するために  $\text{D}$  チャンネル  $\text{M}0\text{B}$  プロセスを用いたダイナミック型のシフトレジスタが採用されている。第 2 図及び第 3 図はゲートライン駆動用のシフトレジスタ回路の回路図及びタイミング図である。

シフトレジスタセル 5 は 4 つのトランジスタ  $\text{T}_7$  ~  $\text{T}_{10}$  と 1 つのブーストラップ容量  $\text{C}_6$  により構成される。クロックは  $\text{S}_1$  と  $\text{S}_2$  の 2 相でありスタートバ尔斯  $\text{B}_1$   $\text{B}_2$  入力により “1” 端位が順次クロック同期して伝送してゆく。各シフトレジスタの出力  $\text{D}_1$  ~  $\text{D}_8$  がゲート線に入力されて、この結果、第 5 図に示す如く、順次各ゲート線を灌漑していく。

第 4 図は本発明によるデータ線間の駆動回路の一例である。シフトレジスタセル 1 4 はブーストラップ容量  $\text{C}_6$  と動作に必要なトランジスタ  $\text{T}_7$  ,  $\text{T}_8$  により構成され、初段へは入力ゲート  $\text{I}_5$  を介してスタートバ尔斯  $\text{B}_2$  を印加する。又

各シフトレジスタ出力  $\text{D}_1$  ~  $\text{D}_8$  はサンプルホールドトランジスタ  $\text{H}_1$  ~  $\text{H}_8$  に入力され、突起信号に同期してビデオ入力  $\text{V}_1$  ~  $\text{V}_8$  (映像信号又はデータ書き込み信号) をデータ線に寄生する容量  $\text{C}_1$  ~  $\text{C}_8$  にサンプルホールドさせる。データ線間駆動回路は一走査線内で全ての処理を行うため高速であり、リード電流の考慮は余りしなくてよいが逆に高速動作を確保することと、高速のために増大する消費電力を押えることを考慮する必要がある。このために、シフトレジスタのクロックは 2 相ではなく 4 相以上を用いるのがよい。同一の伝送率で同一のビット数を確保するためにはクロックが 2 相から 4 相になればクロックライン  $\text{S}_1$  ~  $\text{S}_4$  で消費する電力は半分になる。又 8 相になればその半分となる。このシフトレジスタは 8 ビット中 1 ビットしか “1” にならないのでクロック以外での電力消費は少ない。従って本方式の採用により、周辺駆動回路はモノチッキル構成にもかかわらず  $0\text{M}0\text{B}$  並の低電力とすることが可能である。シフトレジスタの出力  $\text{D}_1$  ~  $\text{D}_8$

はサンプルホールドトランジスタ  $\text{H}_1$  ~  $\text{H}_8$  に入力されるのみでここに寄生する容量はそう大きくない。従って  $\text{D}_1$  ~  $\text{D}_8$  に直接小面積で構成されるブーストラップ容量  $\text{C}_6$  を接続することが可能となる。サンプル・ホールドトランジスタ  $\text{H}_1$  ~  $\text{H}_8$  はかなりの高速スイッチングが要求されるが、そのゲート入力にはブーストラップ動作により、第 5 図に示す如くクロック信号の 2 倍近い振幅で印加されるので、非常に高速でスイッチングできるという利点がある。以上の X , エシフトレジスタを実際に配線する場合であるが、従来は各データ線及びゲート線の断面による欠陥を検査するために X , エシフトレジスタを上下、左右に 2 系統づつ設けた。第 6 図はこの従来例を示す図であり実際にアタティップ・マトリックス基板に配線した場合を示している。データ間エシフトレジスタ  $\text{S}_5$  ,  $\text{S}_6$  と及び最終段の場溝信号を形成するダミーセル  $\text{S}_7$  ,  $\text{S}_8$  とサンプルホールド用トランジスタ  $\text{H}_1$  ~  $\text{H}_8$  があり上下対照に配列される。又ゲート間エシフトレジスタ  $\text{S}_1$  ,  $\text{S}_2$

とダメー $3$ と $5$ と $4$ は左右対照に配列される。

ところが、バターンルールが $1.0\mu\text{m}$ 程度のやるい場合には、各ゲート線及びデータ線の断線のある確率は低いために、歩留り向上の効果は余りない。逆に、上下左右の $2$ 系統の $X$ 駆動回路が完全に無欠陥でなければならない場合には歩留り低下になる。また、同じ機能の回路を並列に駆動するために、消費電力を余分に使うことになる。特に、 $X$ 駆動回路は、 $1$ 水平走査期間( $6.5\mu\text{m}$ 日)に同期して、ゲート線が選択されている間に、左から右へと点駆動走査により $1$ 行の $2.0\mu\text{m}$ 程度の画面に信号を書き込んで行くことになり、第4図の $4$ 相クロックの回路を使っても、クロック信号 $\phi_1$ ～ $\phi_4$ の周波数は $7.5\text{KHz}$ ～ $1\text{MHz}$ となり、消費電力が多くなる。

以上の理由により、 $X$ 駆動回路については、上下どちらか $1$ 系統とした方が良いくなる。 $X$ 駆動回路については、クロック $\phi_1$ ～ $\phi_4$ の周波数は、水平同期周波数の半分の約 $7.8\text{KHz}$ と $X$ に比較して、約 $1/100$ と小さく、消費電力も少ないため、

$2$ 系統のシフトレジスタを設けても良い。

ところが、 $X$ 駆動回路を $1$ 系統のみにすると、データ線の片端から信号を供給するのみであるのでデータ線に断線があるかどうかの検査ができないことになり、品質管理上重要な問題となる。このためには、データ線の $X$ 駆動回路と反対側にプロービング用のパッドを設ける方法があるが、 $1.0\mu\text{m}$ ～ $2.0\mu\text{m}$ 程度のピッチで $2.0\mu\text{m}$ 程度のパッド列となるために、検査時の位置出し工数がかかることになる。本発明はかかる問題点を踏みて行なわれたものであり、データ線の検査を容易にすることを目的とする。

以上の欠点を解消するために、データ線の $X$ 駆動回路と反対側に検査用のトランジスタを複数ヶ所設けるものである。第7図は本発明の具体例の $1$ つであり、下側の $X$ 駆動回路の代わりに、データ線 $D_1$ ～ $D_4$ とドレインを結ばれたテスト用トランジスタ $T_1$ ～ $T_4$ が設けられている。テスト用トランジスタ $T_1$ ～ $T_4$ は奇数番号と偶数番号の群に分けられ、各群のトランジスタは、 $\phi_1$ ～

ス及びゲートを共通になっている。各群のソース及びゲートは各々 $S_1$ 、 $S_2$ 、 $S_3$ 、 $S_4$ と呼ばれる端子からチップの外へ取り出される。また、ゲート端子 $G_1$ ～ $G_4$ は通常は、テスト用トランジスタ $T_1$ ～ $T_4$ のドレイン～ソース間をハイインピーダンスとするためにブルダウン抵抗 $R_1$ ～ $R_4$ により基板電位になっている。テスト用トランジスタ $T_1$ ～ $T_4$ は奇数番号と偶数番号の群に分けられるのは、第5図のタイミング図からわかるように、サンプルホールドトランジスタ $T_1$ ～ $T_4$ は開発する2つが同時に選択される。このため、もし、テスト用トランジスタ $T_1$ ～ $T_4$ が一系統のみの場合にはソース線に断線があっても、開発するソース線が正常な場合は断線が発見できなくなる。このことを防止するために、開発するソース線に能がるテスト用トランジスタを奇数と偶数の群に分けているのである。即ち、テスト用トランジスタのゲート $G_1$ と $G_2$ を独立に制御して、ソース端子 $S_1$ 、 $S_2$ から信号を検出することにより、各ソース線 $D_1$ ～ $D_4$ の

断線チェックが可能になるのである。例えば、 $X$ シフトレジスタの $Y$ 端子は $H_1$ と $L$ レベルにして、かつ、テスト用トランジスタのソース端子 $S_1$ 、 $S_2$ を抵抗で基板単位へブルダウンした際のタイミング図を第8図に示す。 $S_1$ ～ $S_4$ は第5図に示した $X$ シフトレジスタの出力でありサンプルホールドトランジスタ $T_1$ ～ $T_4$ のゲート信号であり、これと同期してテスト用トランジスタのゲート端子 $G_1$ ～ $G_4$ に図のような信号を加えるとソース端子 $S_1$ 、 $S_2$ 、 $S_3$ 、 $S_4$ には図のような信号が得られ、 $D_1$ ～ $D_4$ のソース線が断線していないことがわかるのである。もし、断線があった場合は、例えば、 $D_1$ が断線している場合には $S_1$ のように対応するバルスが欠落して、断線している箇所がわかるのである。

以上のように、本発明によればアカティブマトリックス表示用 $\text{I}^2\text{O}$ 基板の検査が容易になり、品質の向上が図られ、その効果は非常に大きい。なお、本願の実施例は単結晶シリコンを用いたアカティブマトリックス表示体としたが、ガラス基

板上に薄膜トランジスタを形成した EPT について  
ても適用できるものである。

## 図面の簡単な説明

第 1 図 …… アクティブマトリックスの表示部の  
等価回路図

1 …… 表示部  
2 …… セル

第 2 図 …… ゲート駆動用のエシフトレジスタ  
の等価回路図

3 …… シフトレジスタセル  
4 …… ブーストストラップ容量  
7 ~ 10 …… トランジスタ

第 3 図 …… ゲート駆動用のエシフトレジスタ  
のタイミング図

第 4 図 …… ソース駆動用のエシフトレジスタ  
の等価回路図

14 …… シフトレジスタセル  
15 …… 入力ゲート  
16 …… ブーストストラップ容量

17 ~ 18 …… トランジスタ  
19 …… サンプルホールドトランジ  
スター

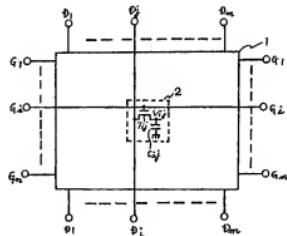
第 5 図 …… ソース駆動用のエシフトレジスタ  
のタイミング図

第 6 図 …… 従来例のアクティブマトリックス表  
示用 IC 基板  
35, 36 …… データ側エシフトレ  
ジスター

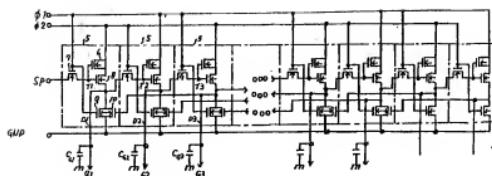
37, 38 …… ダミーセル  
31, 32 …… ゲート側エシフトレ  
ジスター

33, 34 …… ダミーセル  
第 7 図 …… 本発明の実施例のアクティブマトリ  
ックス用 IC 基板の図  
39 …… テスト用トランジスタ  
40 …… ブルダウン抵抗

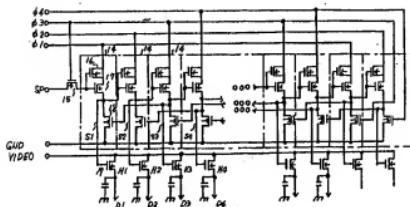
第 8 図 …… 本発明に於けるタイミング図



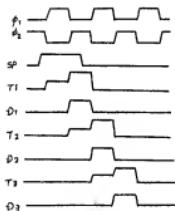
第 1 図



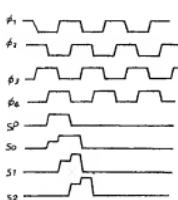
第2図



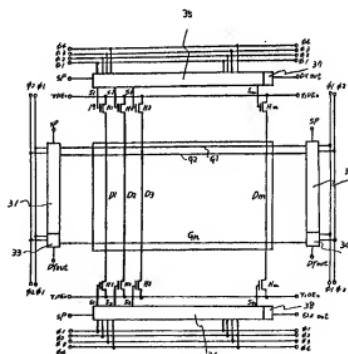
第4図



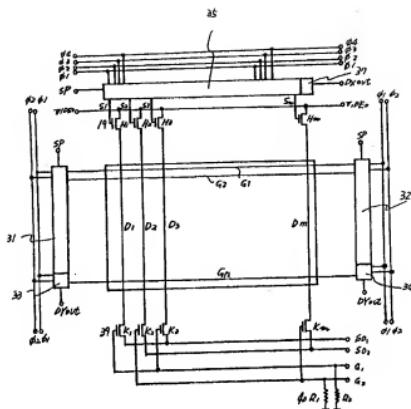
第3図



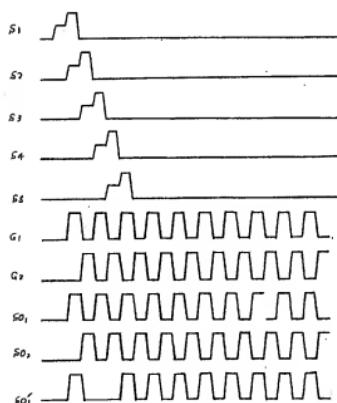
第5図



第6図



### 第 7 図



第 8 図

Title: IC Substrate for Active matrix Display

Claim:

An IC for active matrix display comprising:  
a pixel unit comprising a pixel unit a plurality of  
data lines and gate lines arranged in a matrix, and pixel  
transistors and liquid crystal driving electrodes arranged  
at interfaces thereof, and X and Y peripheral circuit units  
for driving the data or gate lines, wherein at least one of  
the X and Y peripheral circuit units forms only one series,  
and a transistor group of which gates derive input from a  
plurality of common lines is arranged at a side opposite to  
a side along which the only one series of the peripheral  
circuit.